به نام خالق هستی بخش

آزمایشگاه FPGA

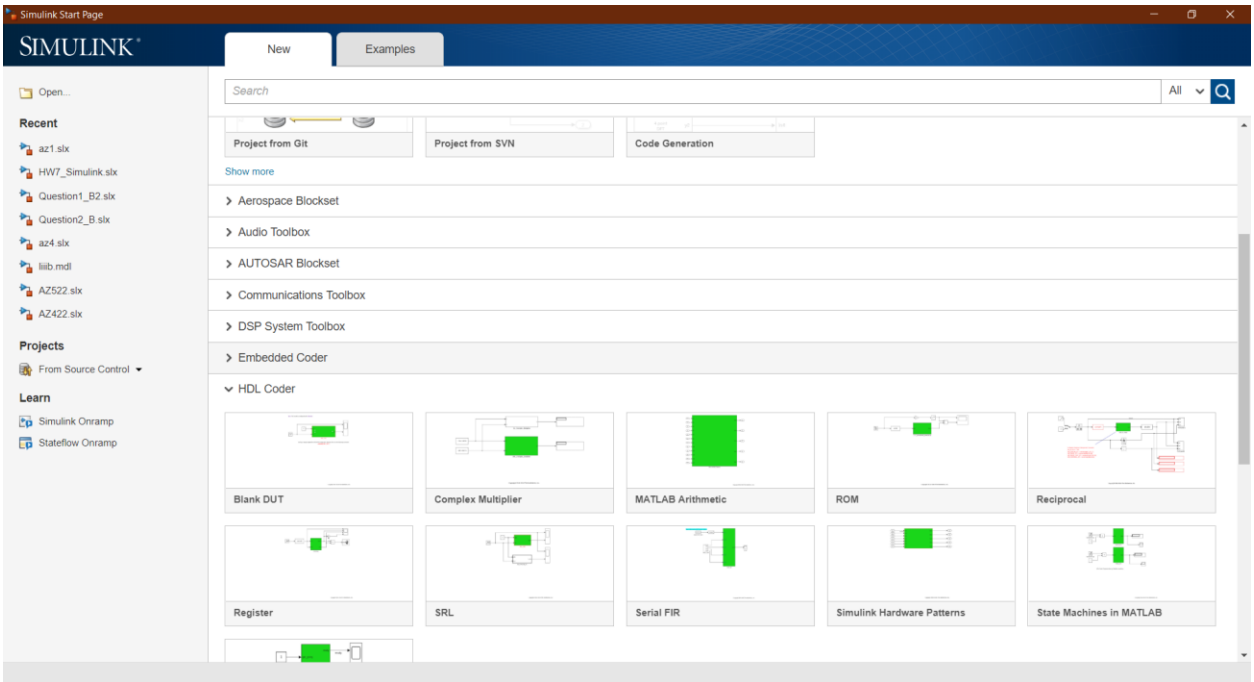
گزارش آزمایش اول

گروه چهارشنبه عصر

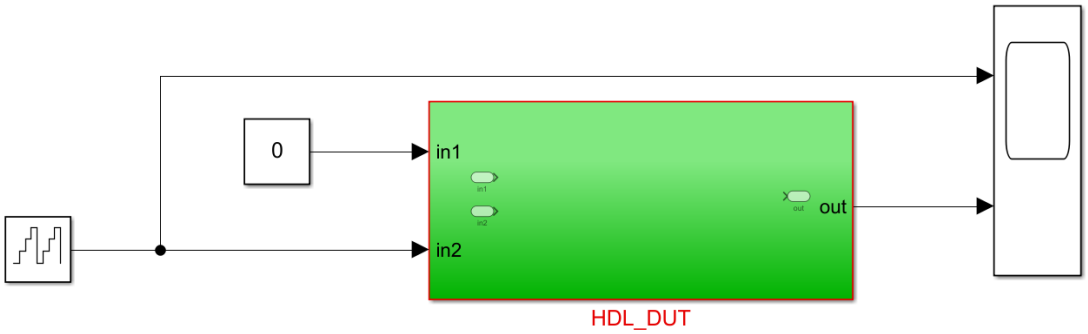
مهیار عنصری ۹۶۳۲۰۹۳

تاریخ نگارش : ۹۹/۱۲/۲۸

در ابتدا ، وارد محیط متلب می شویم و به سیمولینک می رویم.



در زبانه HDL Coder ، گزینه Blank DUT را انتخاب می کنیم.

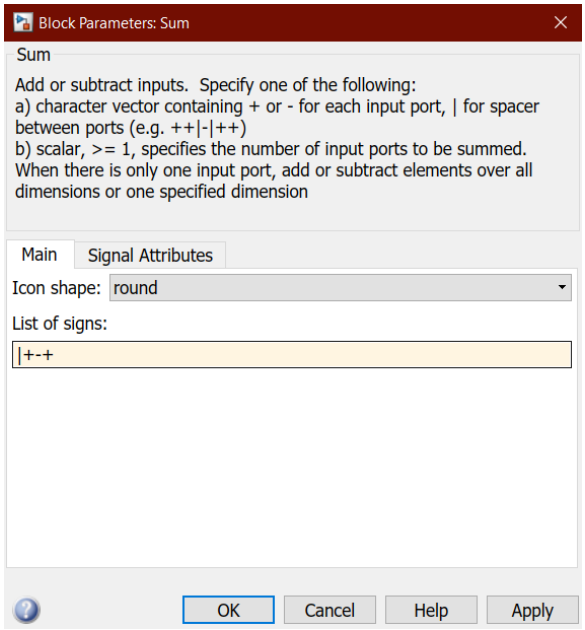


Add your design targeted for ASIC/FPGA inside HDL_DUT and then run the following command:
makehdl('HDL_DUT')

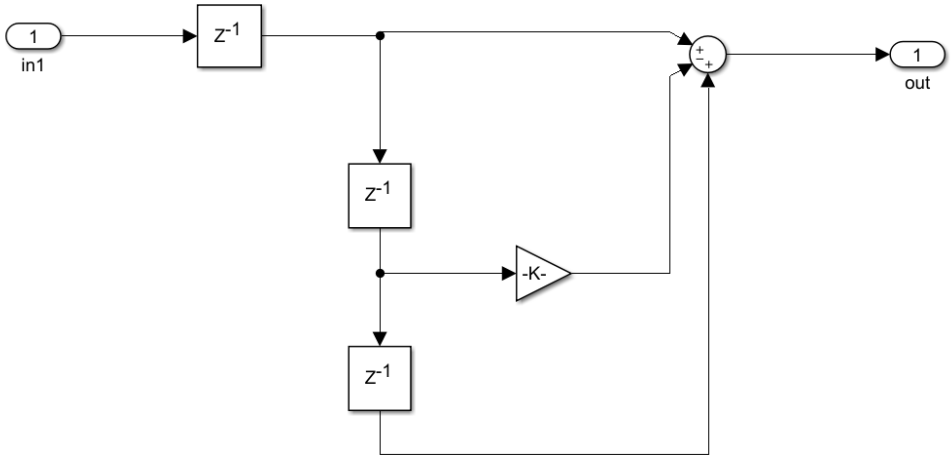
ورودی و خروجی های پیش فرض را پاک می کنیم و روی محیط HDL_DUT کلیک می کنیم و از ریبن ، گزینه Library Browser را انتخاب می کنیم.همچنین با توجه به طرح ، ورودی دوم را در داخل HDL_DUT پاک میکنیم.

با توجه به طرحی که در دستور کار آمده است ، از Library Browser سه بلوک تأخیر ، یک بلوک جمع کننده و یک بلوک Gain انتخاب می کنیم و طرح را مانند دستورکار میکشیم.

برای اینکه جمع کننده ما سه ورودی شود ، روی آن دابل کلیک می کنیم و تنظیمات را به صورت زیر در می آوریم.

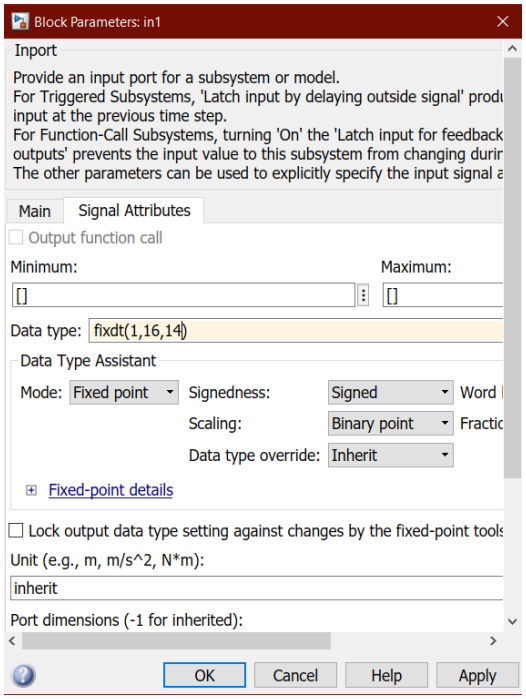


همچنین با دابل کلیک روی بلوک Gain مقدار آن را به ۱.۹۰۲ تغییر می دهیم.



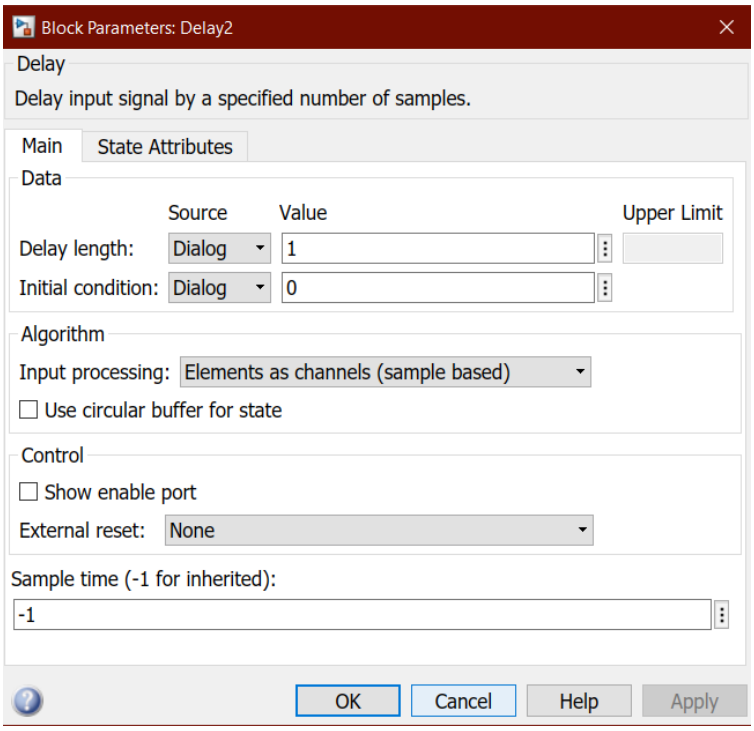
پس از اینکه طرح به صورت فوق شد ،به سراغ تعیین نوع داده های هر بلوک میرویم.

ورودی را به صورت Fixed Point ۱۶ بیتی با ۱۴ بیت اعشار تعریف می کنیم.



بلوک Gain را هم به همین ترتیب اما به صورت ۱۷ بیتی با ۱۴ بیت اعشار تعریف میکنیم.بلوک جمع کننده را هم به صورت یک عدد ۱۸ بیتی با ۱۴ بیت اعشار تعریف میکنیم.علت تعریف به صورت ۱۸ بیتی این است که از جمع و تفریق دو عدد ۱۶ بیتی و یک ۱۷ بیتی به دست آمده است و ما برای رعایت احتیاط ، آن را به صورت ۱۸ بیتی تعریف میکنیم.

در تعریف بلوک های تأخیر به یک نکته باید توجه کنیم.



در حالتی که در تنظیمات صدای ورودی ، Samples per Audio Channel برابر ۱ باشد ، آنگاه در تنظیمات بلوک های تأخیر فرقی نمیکند که گزینه Input Processing روی Elements as Channels باشد یا روی گزینه Columns as Channels . اما اگر در صدای ورودی Samples per Audio Channel بیشتر از ۱ باشد ، آنگاه اینجا حتما باید گزینه Input Processing روی Columns as Channels باشد.

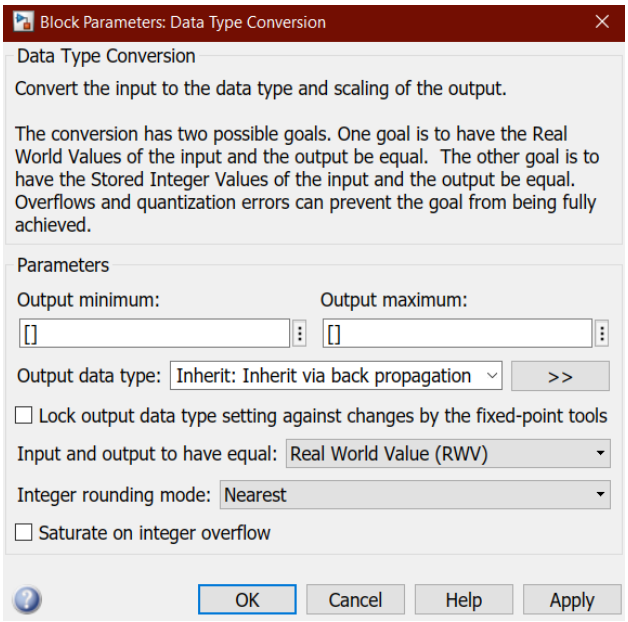
با انجام این تنظیمات ، کار ما در داخل بلوک HDL_DUT به پایان رسید و حال به سراغ تنظیم کردن ورودی و خروجی جهت تست و ساختن کد وریلاگ می رویم.

در Library Browser ، از زبانه Audio Toolbox گزینه Sources را انتخاب میکنیم و بلوک From Multimedia File را انتخاب میکنیم و سپس از گزینه Sinks بلوک To Multimedia File را انتخاب میکنیم.

در تنظیمات بلوک ورودی ، میبینیم که نوع داده خروجی از آن که در حقیقت همان داده ورودی بلوک HDL_DUT است ، از نوع Double تعریف شده است در صورتی که ورودی ما درون بلوک مذکور ، از نوع Fixed Point است و در صورت اجرای طرح ، ما خطای عدم تطابق نوع داده ها را دریافت می کنیم.

پس در Library Browser و در زبانه Simulink ، از گزینه Commonly Used Blocks بلوک Converter را انتخاب می کنیم و سر راه ورودی و خروجی بلوک HDL_DUT می گذاریم.

برای اینکه بلوک به خوبی کار کند ، تنظیمات آن را روی حالت inherit : inherit می گذاریم تا خود بلوک نوع داده ورودی و خروجی را با ورودی و خروجی خود تنظیم کند و تنها در تنظیمات بلوک نوع گرد کردن را Nearest انتخاب میکنیم.

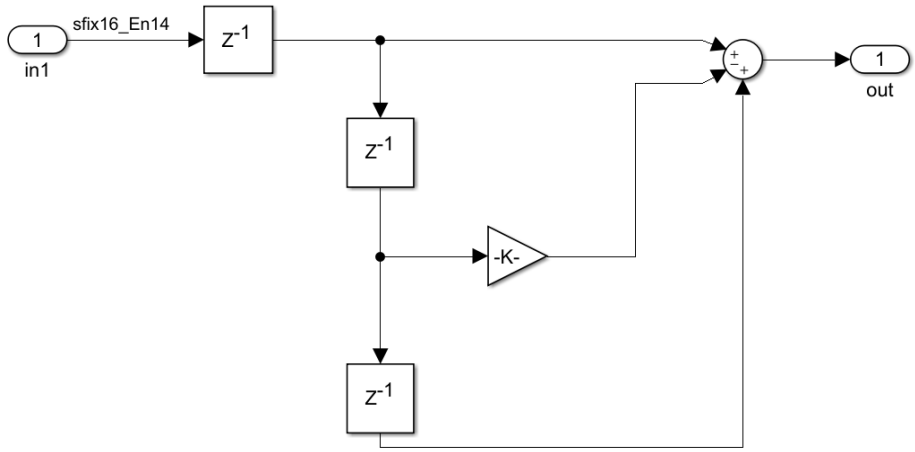


پس از انتخاب مسیر ذخیره سازی و نوع فایل خروجی ، طرح ما به پایان رسیده است و روی گزینه Run کلیک می کنیم تا طرح شبیه سازی شود و فایل خروجی در محل مذکور ذخیره شود. فایل را باز می کنیم و میشنویم که صدای بوق به خوبی حذف شده است.

حال روی بلوک HDL_DUT کلیک میکنیم و از زبانه Modeling ، روی گزینه Configuration Parameters که با علامت چرخ دنده تنظیمات مشخص است کلیک می کنیم. سپس روی گزینه HDL Code Generation میزنیم و همان فولدر فعلی یا Current Folder طرح سیمولینک را برای ساخت کد Verilog انتخاب میکنیم و روی دکمه Generate کلیک میکنیم.

اگر مسیر انتخاب شده برای کد Verilog با Current Folder طرح سیمولینک یکی نباشد برنامه خطا می دهد و اجرا نمی شود!

بعد از کمی صبر ، در فولدر انتخابی فایل های مربوط به Verilog ساخته میشوند و به این ترتیب توانستیم که کد مورد نیاز را به کمک HDL Coder بسازیم.



طرح نهایی به صورت فوق پیاده سازی شد.